

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186416

(43)Date of publication of application : 15.07.1997

(51)Int.Cl.

H05K 1/02

H01L 23/12

H05K 1/11

H05K 3/00

(21)Application number : 07-342563

(71)Applicant : TOKAI SANWA DENSHI KAIRO KK

(22)Date of filing : 28.12.1995

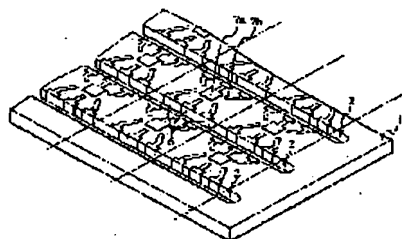
(72)Inventor : ITO KAZUYA
ABIKO YOSHIHARU

(54) BOARD FOR SURFACE MOUNTING TYPE ELECTRONIC COMPONENT AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a surface mounting type electronic component which has a small size, high reliability and low cost by forming a chip component mounting bonding area by patterning a conductor film formed on the board and inner surface of a long hole, and forming a plurality of terminal electrodes on the inner surface of the hole.

SOLUTION: A plurality of long holes 2 parallel to each other are formed at a board 1. A conductor film is simultaneously formed on the board 1, and simultaneously patterned by photolithography. Chip component mounting bonding areas 7a, 7b are formed on the board 1, and a plurality of terminal electrodes 6 are formed in the inner surface of the hole 2. Thus, since the electrodes 6 are previously formed, it can be inspected before surface mounting type electronic component is quarried from the board 1. The deterioration of solder wettability due to the aging change is not introduced as well. Further, the wiring pitch of the electrodes 6 can be narrowed, and a small-sized surface mounting electronic component can be obtained.



LEGAL STATUS

[Date of request for examination]

08.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 1 8 6 4 1 6

(43) 公開日 平成9年(1997)7月15日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	1/02		H 0 5 K	1/02 G
H 0 1 L	23/12	7511- 4 E		1/11 F
H 0 5 K	1/11			3/00 C
	3/00		H 0 1 L	23/12 D

審査請求 未請求 請求項の数 3

O L

(全 6 頁)

(21) 出願番号 特願平7-342563

(22) 出願日 平成7年(1995)12月28日

(71) 出願人 595053320

東海三和電子回路株式会社

大阪市北区天神橋2丁目4番17号 千代田第
1ビル

(72) 発明者 伊藤 和也

静岡県磐田郡豊田町海老塚793-1 東海三
和電子回路株式会社内

(72) 発明者 吾孫 芳晴

静岡県磐田郡豊田町海老塚793-1 東海三
和電子回路株式会社内

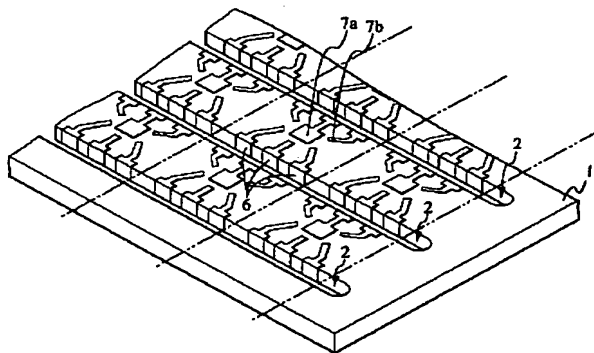
(74) 代理人 弁理士 小森 久夫

(54) 【発明の名称】 表面実装型電子部品用基板およびその製造方法

(57) 【要約】

【課題】 長孔スルーホールを用いることによる部品検査の非効率性の問題および丸孔スルーホールを用いることによる大型化やバリ発生の問題を解消して、小型で信頼性が高く、低コスト化が図れる表面実装型電子部品およびその製造方法を提供する。

【解決手段】 基板 1 に互いに平行な複数の長孔 2 を形成し、基板 1 の上面にチップ部品マウント用のボンディングエリア 7 a, 7 b を形成するとともに、長孔 2 の内面に複数の端子電極 6 を同時に形成する。チップ部品のマウントおよびモールド樹脂封止後は 2 点鎖線部分で基板を切断する。



【特許請求の範囲】

【請求項 1】 絶縁性の基板、または絶縁板に導電体膜を予め形成した基板に、互いに平行な複数の長孔を形成する工程と、

前記基板上および前記長孔の内面に導電体膜を同時に形成する工程と、

前記導電体膜をフォトリソグラフィにより同時にパターン化して、前記基板上にチップ部品マウント用のボンディングエリアを形成するとともに、前記長孔の内面に複数の端子電極を形成する工程とからなる表面実装型電子部品用基板の製造方法。

【請求項 2】 前記フォトリソグラフィにおける露光の際、前記基板にフォトリソマスクを重ねるとともに、前記長孔の長手方向を回転軸として前記基板を露光光の照射方向に対して傾斜させた状態で該露光光を照射し、前記基板上および前記長孔の内面を同時に露光するものである請求項 1 に記載の表面実装型電子部品用基板の製造方法。

【請求項 3】 平行な複数の長孔が形成され、隣接する長孔の間に複数のチップ部品マウント用のボンディングエリアが形成され、前記長孔の内面に各チップ部品マウント用のボンディングエリアから連続する複数の端子電極がそれぞれ形成されてなる表面実装型電子部品用基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、回路基板に表面実装する表面実装型電子部品の一部を構成する表面実装型電子部品用基板およびその製造方法に関する。

【0002】

【従来の技術】 従来より例えばチップ LED を構成する場合に用いる基板は図 15 に示すように、基板 1 に対して互いに平行な複数のいわゆる長孔スルーホール 12 が設けられ、そのランドの一部がチップ LED のボンディングエリア 7a、7b として延ばされ、金メッキなどの処理が施されて、シート状態で供給されている。このような基板を用いてチップ LED を製造する場合、各ボンディングエリアにチップ LED をボンディングし、樹脂封止を行った後、図 15 における 2 点鎖線部分で切断することによって、個別のチップ LED を得る。図 16 は個別のチップ LED の構成を示す図であり、(A) は上面図、(B) は正面図、(C) は右側面図である。図 16 において 13 は長孔スルーホール 12 の内面に形成されていた長孔スルーホール内電極であり、これがチップ LED の端子電極となる。8 はチップ部品（チップ LED）であり、ダイボンディングエリア 7a にダイボンディングされ、チップ部品の上面電極がワイヤ 9 によりセカンドボンディングエリアに接続される。

【0003】 また、3 極以上の端子電極を必要とする表面実装型電子部品を製造する場合には、図 17 に示すよ

うに、基板 1 に多数の丸孔スルーホール 3 とともにチップ部品のボンディングエリア 7a、7b が設けられ、金メッキなどの処理が施されてシート状態で供給されている。このような基板を用いて表面実装型電子部品を製造する場合、各ボンディングエリアにベアチップをボンディングし、樹脂封止を行ったのち、図 17 に示す 2 点鎖線部分で基板 1 を切断することによって個別の表面実装型電子部品を得ている。図 18 はこのようにして製造された表面実装型電子部品の構成を示す図であり、(A) は上面図、(B) は正面図、(C) は右側面図である。図 18 において 11 は丸孔スルーホール 3 内の電極であり、これが端子電極として用いられる。

【0004】

【発明が解決しようとする課題】 図 15 に示した基板を用いて表面実装型電子部品を製造する場合には、2 極の端子電極を有する表面実装型電子部品しか得ることができず、また各表面実装型電子部品を動作させて検査するためには、各表面実装型電子部品を基板から切り離した状態で行わなければならない、工数が掛かり、コストの上昇を招く問題があった。

【0005】 一方の図 17 に示した丸孔スルーホールを設けた基板を用いて表面実装型電子部品を製造する方法では、基板製造段階での丸孔の加工数が非常に多いため製造コストが嵩む問題がある。さらに、丸孔の配列ピッチは、電極ランド径や丸孔の径によって制限されるため、端子電極数が多くなる程、表面実装型電子部品の小型化が阻まれることになる。また、このことから一定サイズの基板から取り得る部品数も減少し、部品単価の向上に繋がっていた。この丸孔スルーホールをランドレスとすれば、丸孔の加工ピッチは小さくなるが、モールド樹脂による封止時にスルーホール内へ樹脂が流れ込む危険性が高まり、半田付け不良という致命的な欠陥不良の発生が危惧される。

【0006】 また、図 15 および図 17 に示した何れの基板を用いる方法でも、基板の切断時に、端子電極となる部分にバリが発生しやすく、さらに切断面にはベースの導電体膜（通常銅）が露出するため、経時酸化による半田濡性の悪化も懸念される。

【0007】 この発明の目的は、上述した長孔スルーホールを用いることによる問題および丸孔スルーホールを用いることによる問題の双方を解消して、小型で信頼性が高く、低コスト化が図れる表面実装型電子部品およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】 この発明の表面実装型電子部品用基板の製造方法は、従来のような丸孔スルーホールを用いることなく、しかも 3 極以上の端子電極を有する表面実装型電子部品を構成できるようにするため、請求項 1 に記載の通り、絶縁性の基板、または絶縁板に導電体膜を予め形成した基板に、互いに平行な複数の長

孔を形成する工程と、前記基板上および前記長孔の内面に導電体膜を同時に形成する工程と、前記導電体膜をフォトリソグラフィにより同時にパターン化して、前記基板上にチップ部品マウント用のボンディングエリアを形成するとともに、前記長孔の内面に複数の端子電極を形成する工程とからなる。

【0009】また、上記基板上および長孔の内面に設けた導電体膜を同時に容易にパターン化できるようにするため、請求項2に記載の通り、前記フォトリソグラフィにおける露光の際、前記基板にフォトマスクを重ねるとともに、前記長孔の長手方向を回転軸として前記基板を露光光の照射方向に対して傾斜させた状態で該露光光を照射し、前記基板上および前記長孔の内面を同時に露光する。

【0010】また、この発明の表面実装型電子部品用基板は、従来のような丸孔スルーホールを用いることなく、しかも3極以上の端子電極を有する表面実装型電子部品を得るようにするものであり、請求項3に記載の通り、平行な複数の長孔が形成され、隣接する長孔の間に複数のチップ部品マウント用のボンディングエリアが形成され、前記長孔の内面に各チップ部品マウント用のボンディングエリアから連続する複数の端子電極がそれぞれ形成されてなる。

【0011】請求項1に係る表面実装型電子部品用基板の製造方法および請求項3に係る表面実装型電子部品用基板では、互いに平行な複数の長孔が基板に形成され、基板上および長孔の内面に同時に導電体膜が形成され、その導電体膜がフォトリソグラフィにより同時にパターン化され、基板上にチップ部品マウント用のボンディングエリアが形成され、長孔の内面に複数の端子電極が形成される。これにより、長孔でありながら、その内面の導電体膜は連続しておらず、端子電極が予め形成されるため、基板から表面実装型電子部品を切り出す前に検査を行うことが可能となり、また基板の切断時に端子電極部にバリが発生せず、ベースとなる導電体膜も露出しないため、経時酸化による半田濡性の悪化を招くこともない。さらに、従来の丸孔スルーホールを用いた場合とは異なり、端子電極の配列ピッチを容易に狭めることができ、これにより小型の表面実装型電子部品が容易に得られ、また一定面積の基板から多くの表面実装型電子部品を取り得ることになる。

【0012】請求項2に係る表面実装型電子部品用基板の製造方法では、基板に対して傾斜した方向から露光光が照射されるため、基板上に設けた長孔の内面に、より確実に露光光が照射されることになり、微細な端子電極のパターン化が容易となる。

【0013】

【発明の実施の形態】この発明の実施形態である表面実装型電子部品用基板およびその製造方法ならびに表面実装型電子部品の構成を図1～図14を基に以下説明す

る。

【0014】図1は表面実装型電子部品用基板の部分斜視図である。図1に示すように、基板1には互いに平行な複数の長孔2を形成して、隣接する長孔の間に複数のチップ部品マウント用のボンディングエリア7a、7bを形成し、長孔2の内面に複数の端子電極6を形成している。

【0015】図2は図1に示した基板における1つのチップ部品がマウントされる1区画の構成を示す平面図である。図3は図1に示した基板に対しチップ部品をマウントし、モールド樹脂で封止を行った後に基板から分離して得た単一の表面実装型電子部品の構成を示す図であり、(A)は上面図、(B)は正面図、(C)は右側面図である。図2において7aがダイボンディングエリア、7bがセカンドボンディングエリアであり、図3に示すようにチップ部品はダイボンディングエリア7aにダイボンディングされ、チップ部品とセカンドボンディングエリア7bとの間がワイアボンディングされる。このようにして6極の端子電極を有する小型の表面実装型電子部品を得る。

【0016】次に、図1に示した基板の製造工程を図4～図11を基に説明する。

【0017】まず、両面に銅箔を積層した銅張積層板1を選定する。この基板1の厚み寸法を t 、端子電極の間隔を s とすれば、 $t \leq 2s$ となるように銅張積層板1の厚み寸法を選定することが望ましい。次に図5に示すように、基板1を適当な大きさに切断した後、NCボール盤またはNCルーターなどにより所定ピッチ、所定寸法で、互いに平行な複数の長孔2を形成する。この長孔の幅は長孔の内面に露光光が確実に照射されるように、基板1の厚み寸法 t 以上であることが望ましい。

【0018】次に、図6に示すように、基板1全体を銅の無電解メッキおよび電解メッキを行い、基板表面および長孔内に銅の導電体膜4を形成する。続いて、フォトリソグラフィによりこの導電体膜4をパターン化する。すなわち先ず図7に示すように、基板表面および長孔内にエッチングレジスト膜5を電着法により塗布する。続いて、後述するように基板1の両面にフォトマスクを重ねた状態で露光を行い、フォトレジスト膜5を現像することによって、図8に示すようにフォトマスクをパターン化する。その後、導電体膜4をエッチングし、フォトレジスト膜5を剥離することによって、図9に示すように基板1の上面にボンディングエリア7a、7bを形成するとともに、長孔2の内面に端子電極6を形成する。なお、基板1の裏面側にも長孔内面の端子電極から続く端子電極を設ける。

【0019】以上の工程により表面実装型電子部品用基板が完成する。ここで、必要に応じてソルダーレジストインキの塗布および金メッキなどの処理を施す。

【0020】このような基板を用いて表面実装型電子部

品を製造する場合、図 10 に示すように、チップ部品 8 をダイボンディングし、ワイアー 9 によりワイアーボンディングを行い、図 11 に示すようにモールド樹脂 10 により樹脂封止を行う。その後、図 1 に示した 2 点鎖線部分で基板を切断することによって個別の表面実装型電子部品を得る。

【0021】図 12 および図 13 は基板に対する露光工程の様子を示す図である。両図において 21 は上部露光ランプ、22 は上部ミラー、23 は下部露光ランプ、24 は下部ミラーである。このように上下に配した光源の間に基板 1 を配置する。基板 1 の上面には上部マスクフィルム 26、下面には下部マスクフィルム 27 をそれぞれ重ね合わせていて、ガラステーブル 25 に載置している。このガラステーブル 25 と露光光の光軸との成す角度 θ が $45 \sim 75^\circ$ の範囲内となる関係でガラステーブルを静止させた状態で露光を行う。図 14 は図 12 に示したガラステーブル 25 に対する基板 1 の載置方向を示す平面図である。(但しマスクフィルムは省略している。) 図 14 において O-O はガラステーブル 25 の傾斜時の回転軸であり、基板 1 の長孔 2 がこの回転軸 O-O 方向となるように基板 1 をガラステーブル 25 に載置する。このことにより、基板に対し傾斜方向から露光光が照射され、基板 1 の上下面および長孔の内面が同時にマスクフィルムを通して露光されることになり、この 1 工程で露光が完了することになる。このとき、長孔の内面とマスクフィルム上のマスクパターンとは、密着状態になく、長孔の奥部程マスクパターンの像がぼける傾向にあるが、基板に対し傾斜方向から露光光が照射されることにより、長孔の内面に対する露光光の照射角は垂直方向に近づき、比較的鮮明なマスクパターンの像が長孔の内面にも投影されることになり、長孔の内面にも所定の端子電極形成のためのフォトリソグロフ膜のパターンが形成されることになる。

【0022】図 13 は上記のガラステーブルと露光光の光軸との成す角度が 90° となる関係でガラステーブルを配置した例である。従来の一般的な露光工程ではこのような形態となるが、基板の厚み寸法 t を十分小さくするか、端子電極の間隔 s を比較的大きくするとともに、露光光を散乱光とすることによって、図 13 に示した状態でも、長孔の内面に端子電極を形成するためのフォトリソグロフ膜をパターン化することができる。

【0023】尚、図 4～図 11 に示した例では銅張積層板を出発材料としが、導電体層を有さない絶縁性基板を出発材料としても同様に製造することができる。

【0024】

【発明の効果】請求項 1 および請求項 3 に係る発明によれば、互いに平行な複数の長孔が基板に形成され、基板上および長孔の内面に同時に導電体膜が形成され、その導電体膜がフォトリソグラフィにより同時にパターン化され、基板上にチップ部品マウント用のボンディングエ

リアが形成され、長孔の内面に複数の端子電極が形成されるため、長孔でありながら、基板から表面実装型電子部品を切り出す前に表面実装型電子部品の検査を行うことが可能となり、また基板の切断時に端子電極部にバリが発生せず、ベースとなる導電体膜も露出しないため、経時酸化による半田濡性の悪化を招くこともない。さらに、従来の丸孔スルーホールを用いた場合とは異なり、端子電極の配列ピッチを容易に狭めることができ、これにより小型の表面実装型電子部品が容易に得られ、また一定面積の基板から多くの表面実装型電子部品を取り得ることになる。

【0025】請求項 2 に係る発明によれば、基板に対して傾斜した方向から露光光が照射されるため、基板上に設けた長孔の内面に、より垂直に近い方向から確実に露光光が照射されることになり、微細な端子電極のパターン化が容易となる。

【図面の簡単な説明】

【図 1】この発明の実施形態に係る表面実装型電子部品用基板の部分斜視図である。

【図 2】図 1 における 1 区画の平面図である。

【図 3】図 1 に示す基板を用いて製造した表面実装型電子部品の構成を示す図である。

【図 4】基板の断面図である。

【図 5】長孔形成後の断面図である。

【図 6】導電体膜形成後の断面図である。

【図 7】フォトリソグロフ膜形成後の断面図である。

【図 8】フォトリソグロフ膜露光・現像後の断面図である。

【図 9】導電体膜エッチング後の断面図である。

【図 10】チップ部品マウント後の断面図である。

【図 11】モールド樹脂封止後の断面図である。

【図 12】露光工程における状態を示す図である。

【図 13】露光工程における状態を示す図である。

【図 14】ガラステーブルに対する基板の載置方向を示す平面図である。

【図 15】従来の表面実装型電子部品用基板の部分斜視図である。

【図 16】図 15 に示す基板を用いた従来の表面実装型電子部品の構成を示す図である。

【図 17】従来の表面実装型電子部品用基板の部分斜視図である。

【図 18】図 17 に示す基板を用いた従来の表面実装型電子部品の構成を示す図である。

【符号の説明】

1-基板

2-長孔

3-丸孔スルーホール

4-導電体膜

5-フォトリソグロフ膜

6-端子電極

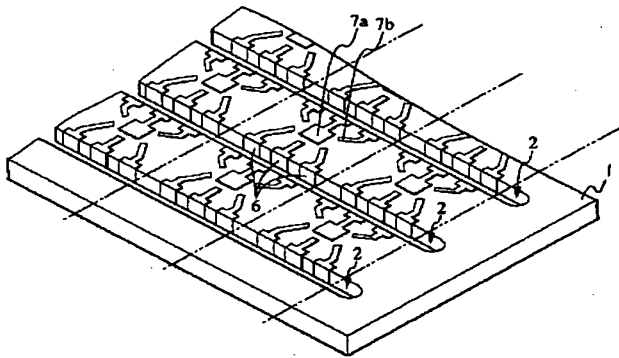
7

- 7 a - ダイボンディングエリア
 7 b - セカンドボンディングエリア
 8 - チップ部品
 9 - ワイヤ
 10 - モールド樹脂
 11 - スルーホール内電極
 12 - 長孔スルーホール
 13 - 長孔スルーホール内電極

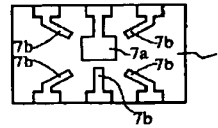
8

- 21 - 上部露光ランプ
 22 - 上部ミラー
 23 - 下部露光ランプ
 24 - 下部ミラー
 25 - ガラステーブル
 26 - 上部マスクフィルム
 27 - 下部マスクフィルム

【図 1】



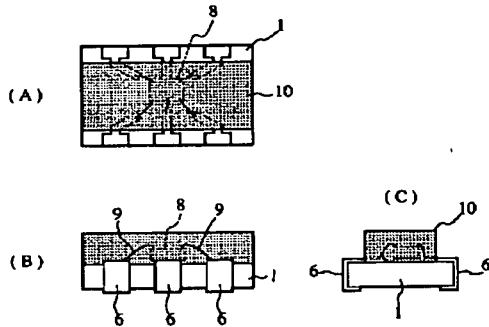
【図 2】



【図 5】



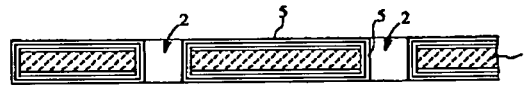
【図 3】



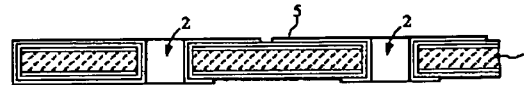
【図 4】



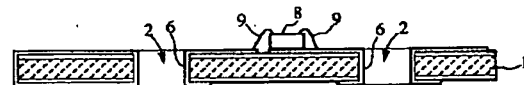
【図 7】



【図 8】



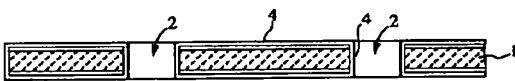
【図 10】



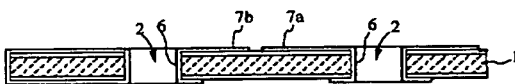
【図 11】



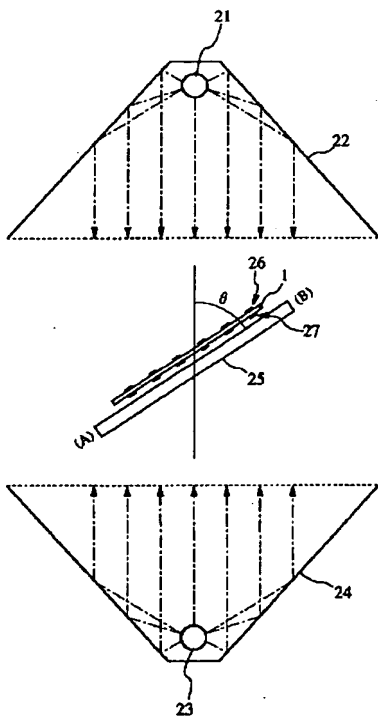
【図 6】



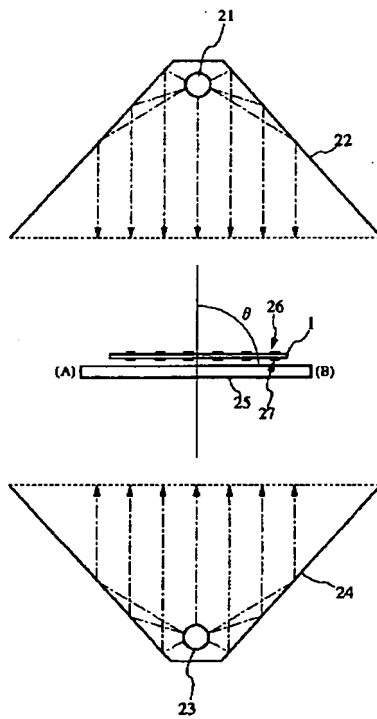
【図 9】



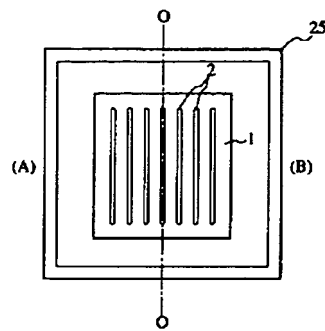
【図 12】



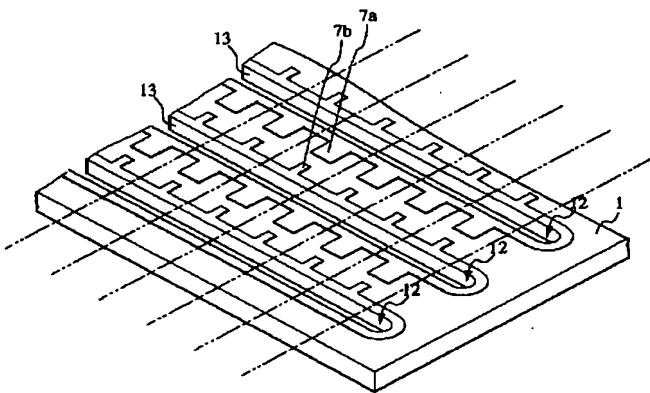
【図 13】



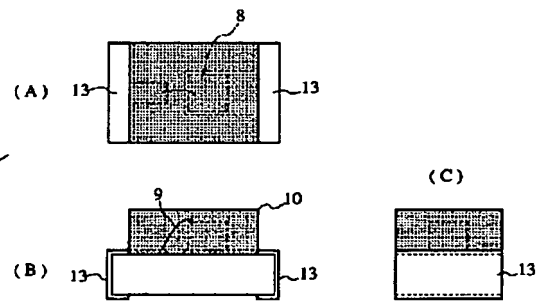
【図 14】



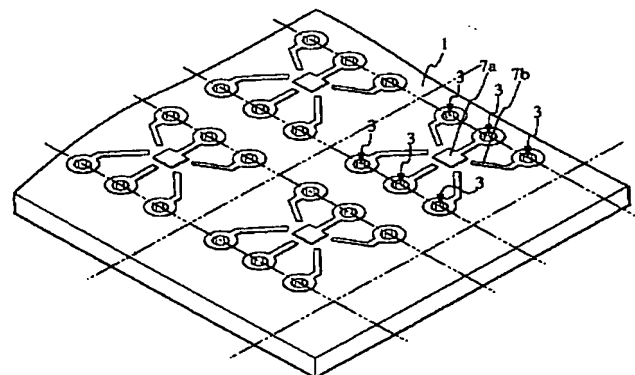
【図 15】



【図 16】



【図 17】



【図 18】

